

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-290854
 (43)Date of publication of application : 19.10.2001

(51)Int.Cl. G06F 17/50
 H01L 21/82

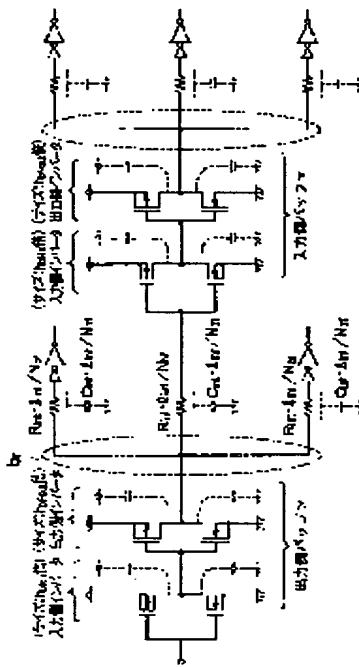
(21)Application number : 2000-108320 (71)Applicant : NEC CORP
 (22)Date of filing : 10.04.2000 (72)Inventor : TAKAHASHI SOJI

(54) DESIGNING METHOD FOR SIGNAL PROPAGATION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a designing method for a signal propagation circuit which facilitates optimum designing minimizing a delay time.

SOLUTION: This designing method for the signal propagation circuit is a designing method which inserts buffers into plural stages in a signal wire having plural branches. The buffers which are substantially equal in buffer size and fan-out number are inserted between the input position of an input-stage buffer and the final position of the output-side wire of the final-stage buffer so that the wiring distances between the respective buffers and the output-side wiring distance of the output-stage buffer are substantially equal to one another; and the buffer size and the number of buffer stages which minimize the signal propagation delay time at the final position are independently selected according to specific calculation expressions.



LEGAL STATUS

[Date of request for examination] 25.04.2001
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-290854
(P2001-290854A)

(43)公開日 平成13年10月19日(2001.10.19)

(51) Int.Cl.⁷
G 0 6 F 17/50
H 0 1 L 21/82

識別記号
6 5 6

F I
G 0 6 F 17/50
H 0 1 L 21/82

テマコード(参考)
6 5 6 D 5 B 0 4 6
6 5 6 F 5 F 0 6 4
W

審査請求 有 請求項の数 7 O L (全 10 頁)

(21)出願番号 特願2000-108320(P2000-108320)

(22)出願日 平成12年4月10日(2000.4.10)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 ▲高▼橋 宗司

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100096231

弁理士 稲垣 清

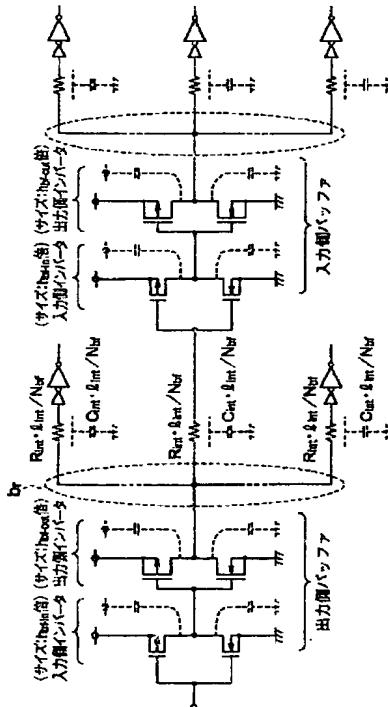
F ターム(参考) 5B046 AA08 BA03 JA03 JA04
5F064 BB07 BB26 DD03 DD07 DD13
DD25 EE08 EE42 EE43 EE47
HH10

(54)【発明の名称】 信号伝播回路の設計方法

(57)【要約】 (修正有)

【課題】 遅延時間が最小となる最適な設計が容易にできる信号伝播回路の設計方法を提供する。

【解決手段】 信号伝播回路の設計方法は、複数の分岐を有する信号配線中に複数段にバッファを挿入する、信号伝播回路の設計方法であって、入力段のバッファの入力位置と、最終段のバッファの出力側配線の最終位置との間に、バッファサイズ及びファンアウト数が実質的に等しい複数のバッファを、各バッファ間の配線距離及び出力段バッファの出力側配線距離が実質的に相互に等しくなるように挿入し、前記最終位置における信号伝播遅延時間を最小とするバッファサイズとバッファ段数とを夫々所定の計算式に基づいて独立に選定する。



【特許請求の範囲】

【請求項1】 複数の分岐を有する信号配線中に複数段にバッファを挿入する、信号伝播回路の設計方法であつて、

入力段のバッファの入力位置と、最終段のバッファの出力側配線の最終位置との間に、バッファサイズ及びファンアウト数が実質的に等しい複数のバッファを、各バッファ間の配線距離及び出力段バッファの出力側配線距離が実質的に相互に等しくなるように挿入し、

前記最終位置における信号伝播遅延時間を最小とするバッファサイズとバッファ段数とを夫々所定の計算式に基づいて独立に選定することを特徴とする信号伝播回路の設計方法。
10

【請求項2】 各バッファが、カスケード接続された入力側インバータ及び出力側インバータから成る、請求項1に記載の設計方法。

【請求項3】 バッファサイズ h_{buff} を求める計算式が、 a 、 d を遅延係数、 m を入力側インバータに対する出力側インバータの拡大率、 b_r をファンアウト数、 $R_{out,0}$ を最小サイズのインバータの出力抵抗、 C_{int} を単位長当たりの配線容量、 R_{int} を単位長当たりの配線抵抗、及び、 $C_{in,0}$ を最小サイズのインバータのゲート入力容量として、

$$h_{buff} = \sqrt{((a \cdot m \cdot b_r \cdot R_{out,0} \cdot C_{int}) / (d \cdot R_{int} \cdot C_{in,0}))}$$
 である、請求項2に記載の設計方法。

【請求項4】 バッファ段数 N_{buf} を求める計算式が、 c 、 b を遅延係数、 $C_{ds,0}$ を最小サイズのインバータのドレン基板間容量、 l_{int} を前記入力位置と前記最終位置との間の距離として、

$$N_{buf} = \sqrt{[(c \cdot R_{int} \cdot C_{int}) / (b \cdot [m + (b_r / m) + 2 \cdot (C_{ds,0} / C_{in,0})] \cdot R_{out,0} \cdot C_{in,0})]} \times l_{int}$$
 である、請求項3に記載の設計方法。
30

【請求項5】 挿入段数 N を、 n を N_{buf} の小数点以下を切り捨てた値として、

$N_{buf} \leq \sqrt{n(n+1)}$ の場合に $N=n$ とし、 $N_{buf} > \sqrt{n(n+1)}$ の場合に $N=n+1$ と選定する、請求項4に記載の設計方法。

【請求項6】 a 、 b 、 c 、 d が夫々、0.8~1.0、1.1~1.5、0.35~0.42、及び、0.8~1.0の範囲にある、請求項3又は4に記載の設計方法。
40

【請求項7】 複数段のバッファに代えて複数段のインバータを挿入する、請求項1に記載の設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、信号伝播回路の設計方法に関し、より詳細には、伝播する信号の遅延時間を最小とするためのバッファ又はインバータのサイズ及び段数の配置設計に関するものである。

【0002】

【従来の技術】 LSI を設計する場合には、信号配線の選択にあたっては、その信号伝播時間をできるだけ短縮

して LSI の動作可能なスピードを上げている。この選択では、一般に LSI 全域に亘るような長い信号配線の場合にはグローバル配線を使用し、2点間等の信号配線等のように短い配線の場合にはローカル配線を使用している。グローバル配線は、幅が大きな金属層によって形成され、ローカル配線に比して、配線抵抗及び配線容量が小さく、伝播する信号の遅延時間が小さくなるようにその形状が選定される。

【0003】 図8は、従来行われている回路シミュレータを用いた信号伝播回路の設計手順を示すフローチャートである。対象とする信号伝播回路に対して、分岐数が单数又は複数の何れであるか等に関する回路構成や、バッファのサイズ及び間隔等に関する回路構成と、入力波形等に関するパラメータとを設定し（ステップS11）、S P I C E 等の回路シミュレータにより、シミュレーションを実行する（ステップS12）。このシミュレーション結果から信号伝播回路の遅延時間を解析し（ステップS13）、遅延時間が所定の設計条件を満足するか否かを判断する（ステップS14）。

【0004】 “NO”であれば、ステップS11に戻り、シミュレーション結果が所定の設計条件を満足するように、回路構成又はパラメータの設定を変更して、信号伝播回路を設計し直す。“YES”であれば、設定した回路構成及びパラメータを信号伝播回路の設定情報として決定する（ステップS15）。

【0005】

【発明が解決しようとする課題】 ステップS11の設定では、一般に回路構成を決定してから、それに対応するパラメータを決定する。その際、パラメータの設定情報が多いので、1度で最適な信号伝播回路を設計することは困難である。遅延時間が設定条件を満足しない場合には、パラメータを何度も変更し、設定情報の見直し及び回路シミュレーションの実行と解析とを繰り返すこととなる。しかし、回路構成が不適当な場合には、パラメータの設定見直しだけでは、設計条件を満足することができない。

【0006】 本発明は、上記したような従来の技術が有する問題点を解決するためになされたものであり、遅延時間が最小となる最適な回路構成の設計が容易に得られる、信号伝播回路の設計方法を提供することを目的とする。

【0007】

【課題を解決するための手段】 上記目的を達成するため、本発明の信号伝播回路の設計方法は、複数の分岐を有する信号配線中に複数段にバッファを挿入する、信号伝播回路の設計方法であって、入力段のバッファの入力位置と、最終段のバッファの出力側配線の最終位置との間に、バッファサイズ及びファンアウト数が実質的に等しい複数のバッファを、各バッファ間の配線距離及び出力段バッファの出力側配線距離が実質的に相互に等しく

なるように挿入し、前記最終位置における信号伝播遅延時間を最小とするバッファサイズとバッファ段数を夫々所定の計算式に基づいて独立に選定することを特徴とする。

【0008】本発明の信号伝播回路の設計方法では、信号伝播回路の遅延時間の式における最小条件から求めた計算式を用いて、バッファのサイズ及び挿入段数を決定するので、パラメータを何度も変更して回路シミュレータを繰り返し使用することなく、遅延時間が最小となる最適な回路構成の信号伝播回路の設計が容易に得られる。

【0009】本発明の信号伝播回路の設計方法では、各バッファが、カスケード接続された入力側インバータ及び出力側インバータから成ること、又は、複数段のバッファに代えて複数段のインバータを挿入することもできる。

【0010】本発明の信号伝播回路の設計方法では、バッファサイズ $h_{buf-out}$ を求める計算式が、a、dを遅延係数、mを入力側インバータに対する出力側インバータの拡大率、 b_r をファンアウト数、 $R_{out,0}$ を最小サイズのインバータの出力抵抗、 $C_{in,0}$ を単位長当たりの配線容量、 R_{int} を単位長当たりの配線抵抗、及び、 $C_{in,0}$ を最小サイズのインバータのゲート入力容量として、 $h_{buf-out} = \sqrt{(a \cdot m \cdot b_r \cdot R_{out,0} \cdot C_{in,0}) / (d \cdot R_{int} \cdot C_{in,0})}$]であること、又は、バッファ段数 N_{buf} を求める計算式が、c、bを遅延係数、 $C_{ds,0}$ を最小サイズのインバータのドレンイン基板間容量、 l_{int} を前記入力位置と前記最終位置との間の距離として、 $N_{buf} = \sqrt{[(c \cdot R_{int} \cdot C_{in,0}) / (b \cdot [m + (b_r / m)] + 2 \cdot (C_{ds,0} / C_{in,0})] \cdot R_{out,0} \cdot C_{in,0}]} \times l_{int}$]であることも本発明の好ましい態様である。この場合、1度の計算によりバッファのサイズ及び挿入段数が決定できる。

【0011】また、本発明の信号伝播回路の設計方法では、a、b、c、dが夫々、0.8~1.0、1.1~1.5、0.35~0.42、及び、0.8~1.0の範囲とすることが好ましい。

【0012】

【発明の実施の形態】以下、本発明の実施形態例に基づいて、本発明の信号伝播回路の設計方法について説明する。本実施形態例の設計では、例えばクロック配線等のようにチップ全体の領域で使用されるグローバル配線の設計に際して信号伝播時間を最小にする条件を求める。ここで、回路の入力端子に最も近いバッファの入力端から入力端子に最も遠いバッファの出力配線端までの距離を l_{int} とし、距離 l_{int} までにどのようにバッファを配置したら良いかを計算によって求め決定することとする。

【0013】距離 l_{int} の2点間にバッファを配置し信号を伝播させる際に、2点間に大きなサイズのバッファを唯1つ配置する構成と、2点間に適當なサイズのバッファを複数段に配置する構成とが考えられる。前者の場合、バッファのサイズを大きくすることにより、遅延時間が減少するが、配線長が或る限度を越えると逆に遅延

時間が増加し、占有する面積が増える等の欠点が多い。後者の場合、バッファのサイズ及び配置数を考慮する必要があるものの、遅延時間が最小になる条件が得られ、信号を分岐させることができて設計の自由度が広い。本設計方法では、後者の方針を採用する。

【0014】図1は、適當なサイズのバッファを複数段に配置した場合の一般化された信号伝播回路の回路図である。同図の信号伝播回路は、 N_{buf} 段のバッファ回路が距離 l_{int} の2点間にカスケード接続される。各段のバッファ回路は、2つのインバータから成るバッファとして構成される。

【0015】図2は、2つのインバータ間の信号伝播を解析するためのモデルとなる、単純化された信号伝播回路の等価回路図である。この信号伝播回路は、入力端子から信号を入力する前段インバータ1、その出力端子から信号を出力する後段インバータ2、及び、その間で信号を伝播する配線3によって構成される。前段インバータ1は、出力側にインバータの出力抵抗 $R_{out,0}$ 及びドレンイン基板間容量 $C_{ds,0}$ を有する。後段インバータ2は、入力側にゲート入力容量 $C_{in,0}$ を有する。配線3は、配線長 l_{int} に応じた配線抵抗 ($R_{int} \times l_{int}$) 及び配線容量 ($C_{int} \times l_{int}$) を有する。

【0016】図2の信号伝播回路で伝播する信号の遅延時間は、以下のようないくつかの遅延成分で構成される。第1の遅延成分は、前段のインバータの出力抵抗 $R_{out,0}$ と前段のインバータのドレンイン基板間容量 $C_{ds,0}$ の積である、前段のインバータ定数に基づく遅延成分であり、第2の遅延成分は、前段のインバータの出力抵抗 $R_{out,0}$ と配線容量 ($C_{int} \times l_{int}$) 及び後段のインバータのゲート入力容量 $C_{in,0}$ の和との積で表わされる時定数に基づく遅延成分であり、第3の遅延成分は、配線抵抗 ($R_{int} \times l_{int}$) と配線容量 ($C_{int} \times l_{int}$) 及び後段のゲート入力容量 $C_{in,0}$ の和との積で表わされる時定数に基づく遅延成分である。

【0017】図1の信号伝播回路で伝播する信号の遅延時間の一般式を求めるために、以下のように設計条件を設定する。各段のバッファ回路は夫々、同じバッファサイズ及びファンアウト数 b_r を有し、等間隔にカスケード接続される。各段の入力側インバータは、最小サイズのインバータのサイズの h_{buf-in} 倍である。つまり、 h_{buf-in} の拡大率を有する。各段の出力側インバータは、最小サイズのインバータのサイズの $h_{buf-out}$ 倍である。つまり、 $h_{buf-out}$ の拡大率を有する。ただし各インバータの拡大率 h_b は、インバータを構成するN MOSトランジスタのチャネル幅を W_{gb} とし、チャネル長を L_{gb} とするとき、 $h_b = W_{gb} / L_{gb}$ で示される。

【0018】ここで、最小サイズのインバータについて説明する。図3は、最小サイズのインバータを説明するための図である。一般に、PMOSトランジスタのゲート長 L_{gp} とNMOSトランジスタのゲート長 L_{gn} とは等しく、 $L_{gp} = L_{gn}$ である。また、ゲート長 L_{gp} とチャネル幅 W_{gp} の比をゲートアスペクト比 A_{gp} と定義する。ゲートアスペクト比 A_{gp} は、 $A_{gp} = L_{gp} / W_{gp}$ である。ゲートアスペクト比 A_{gp} が大きいほど、ゲート長 L_{gp} に対するチャネル長 L_{gb} の割合が大きくなる。したがって、ゲートアスペクト比 A_{gp} が大きいほど、ゲート長 L_{gp} に対するチャネル長 L_{gb} の割合が大きくなる。

く、 $L_{g_p} = L_{g_n}$ の関係がある。NMOSトランジスタの出力抵抗 R_{out} の逆数の値は、ゲート長 L_{g_n} 当りのゲート幅 W_{g_n} の値に比例する。NMOSトランジスタは、 $W_{g_n}/L_{g_n} = 1$ の条件で製造することが困難であるため、 $W_{g_n}/L_{g_n} = 1$ の条件の出力抵抗 R_{out} を基準として、出力抵抗 R_{out} に対して所定の倍率を有する W_{g_n}/L_{g_n} の条件で製造される。最小サイズのインバータは、 $W_{g_n}/L_{g_n} = 1$ の条件を有する NMOSトランジスタと、その出力抵抗の値が $R*$

$$\begin{aligned} T_{d-bf} &= N_{bf} \times [R_{out} / (h_{bf-out}/m) \times b \cdot [h_{bf-out} \cdot C_{in0} + (h_{bf-out}/m) \cdot C_{ds0}] + \\ &R_{out} / h_{bf-out} \times [b_r \cdot (a \cdot C_{int} \cdot l_{int} / N_{bf} + b \cdot (h_{bf-out}/m) \cdot C_{in0}) + b \cdot h_{bf-out} \cdot C_{ds0}] \\ &+ \\ &R_{int} \cdot l_{int} / N_{bf} \times (c \cdot C_{in0} \cdot l_{int} / N_{bf} + d \cdot (h_{bf-out}/m) \cdot C_{in0})] \dots \dots \quad (1) \end{aligned}$$

となる。

【0020】式(1)の[]内の第1項～第3項は夫々、図2の等価回路に対する遅延時間の第1～第3の遅延成分に対応する。ただし、a、b、c、dは遅延係数、 R_{out} は最小サイズのインバータの出力抵抗、 C_{in0} は最小サイズのインバータのゲート入力容量、 C_{ds0} は最小サイズのインバータのドレイン基板間容量、 R_{int} は単位長さ当たりの配線抵抗、 C_{in1} は単位長さ当たりの配線容量、 b_r は分岐数(ファンアウト数)、mは各段のバッファにおける出力側インバータの入力側インバータに対する拡大率、 l_{int} は対象となる2点間の長さ(つまり、回路の入力端子に※

$$\begin{aligned} T_{d-bf} &= (a \cdot b_r \cdot R_{out} \cdot C_{in1} \cdot l_{int}) / h_{bf-out} + (d/m \cdot R_{int} \cdot l_{int} \cdot C_{in0}) \times h_{bf-out} \\ &+ [b \cdot [m + (b_r/m) + 2 \cdot (C_{ds0}/C_{in0})] \cdot R_{out} \cdot C_{in0}] \times N_{bf} \\ &+ (c \cdot R_{int} \cdot C_{in1} \cdot l_{int}^2) / N_{bf} \dots \dots \quad (2) \end{aligned}$$

【0023】式(2)の右辺において、第1項と第2項とが変数 h_{bf-out} によって、第3項と第4項とが変数 N_{bf} によって夫々独立に定まる。つまり、変数 h_{bf-out} 及び変数 N_{bf} を夫々独立に選定することによって、遅延時間を最小にできる。遅延時間 T_{d-bf} を最小とする出力側★

$$\begin{aligned} &(a \cdot b_r \cdot R_{out} \cdot C_{in1} \cdot l_{int}) / h_{bf-out} + (d/m \cdot R_{int} \cdot l_{int} \cdot C_{in0}) \times h_{bf-out} \geq \\ &2 \cdot \sqrt{[(a \cdot b_r \cdot R_{out} \cdot C_{in1} \cdot l_{int}) \cdot (d/m \cdot R_{int} \cdot l_{int} \cdot C_{in0})]} \\ &= 2 \cdot \sqrt{(a \cdot d \cdot b_r / m) \cdot \sqrt{(R_{out} \cdot R_{int} \cdot C_{in0} \cdot C_{in1})} \times l_{int}} \dots \dots \quad (3) \end{aligned}$$

【0025】式(3)で等号が成立する際に、遅延時間☆☆最小の条件が成立する。その条件は、

$$h_{bf-out} = \sqrt{[(a \cdot m \cdot b_r \cdot R_{out} \cdot C_{in1}) / (d \cdot R_{int} \cdot C_{in0})]} \dots \dots \quad (4)$$

$$h_{bf-in} = h_{bf-out} / m = \sqrt{[(a \cdot b_r \cdot R_{out} \cdot C_{in1}) / (d \cdot m \cdot R_{int} \cdot C_{in0})]} \dots \dots \quad (5)$$

である。つまり、式(4)及び(5)によってバッファサイズが決定される。

【0026】同様に、式(2)の第3項と第4項について◆

$$\begin{aligned} &[b \cdot [m + (b_r/m) + 2 \cdot (C_{ds0}/C_{in0})] \cdot R_{out} \cdot C_{in0}] \times N_{bf} + (c \cdot R_{int} \cdot C_{in1} \cdot l_{int}^2) / N_{bf} \\ &\geq 2 \cdot \sqrt{[(b \cdot [m + (b_r/m) + 2 \cdot (C_{ds0}/C_{in0})] \cdot R_{out} \cdot C_{in0}) \cdot (c \cdot R_{int} \cdot C_{in1} \cdot l_{int}^2)]} \\ &= 2 \cdot \sqrt{[b \cdot c \cdot [m + (b_r/m) + 2 \cdot (C_{ds0}/C_{in0})]] \cdot \sqrt{(R_{out} \cdot R_{int} \cdot C_{in0} \cdot C_{in1})} \times l_{int}} \dots \dots \quad (6) \end{aligned}$$

【0028】式(6)の等号の際に、最小条件が成立す＊＊る。この条件は、

$$\begin{aligned} N_{bf} &= \sqrt{[(c \cdot R_{int} \cdot C_{in1}) / [b \cdot [m + (b_r/m) + 2 \cdot (C_{ds0}/C_{in0})] \cdot R_{out} \cdot C_{in0}]]} \\ &\times l_{int} \dots \dots \quad (7) \end{aligned}$$

である。

【0029】計算された挿入段数 N_{bf} は、以下のように

*であるPMOSトランジスタとで構成されるインバータである。

【0019】図4は、2つのバッファ間の信号伝播を解析するためのモデルとなる、詳細な信号伝播回路の等価回路図である。同図の等価回路に対して、図2に対する遅延解析を同様に適用すると、最終段のインバータの出力配線端における遅延時間 T_{d-bf} は、

※最も近いバッファの入力端から入力端子に最も遠いバッファの出力配線端までの距離)、 h_{in} は最小サイズのインバータのサイズに対するインバータの拡大率、 h_{bf-out} は最小サイズのインバータのサイズに対する出力側インバータの拡大率、及び、 h_{bf-in} は最小サイズのインバータのサイズに対する入力側インバータの拡大率である。

【0021】式(1)を h_{bf-out} 及び N_{bf} について整理すると、

【0022】

★インバータの拡大率 h_{bf-out} は、式(2)の第1項と第2項について、相加相乗平均の定理を適用することにより求められる。

【0024】

◆て、相加相乗平均の定理を適用することにより、遅延時間 T_{d-bf} を最小とする挿入段数 N_{bf} が求められる。

【0027】

【0028】式(6)の等号の際に、最小条件が成立す＊＊る。この条件は、

して整数化する。配線間隔であるバッファピッチ P は、 $P_{bf} = l_{int} / N_{bf}$ であるから、

7

8

$$P_{bf} = l_{int}/N_{bf} = \sqrt{[b \cdot [m + (b_r/m) + 2 \cdot (C_{dso}/C_{iso})] \cdot R_{on} \cdot C_{in0}]/(c \cdot R_{int} \cdot C_{in1})} \quad \dots \quad (8)$$

【0030】 N_{bf} ($=l_{int}/P_{bf}$) の値を小数点以下切り下げるnにする。 $N_{bf} \leq \sqrt{n(n+1)}$ の場合、 N_{bf} をnにし、 $N_{bf} > \sqrt{n(n+1)}$ の場合、 N_{bf} をn+1にする。

【0031】図5は、この計算結果を示すグラフである。実線は挿入段数 N_{bf} がnとなる場合を示し、点線は挿入段数 N_{bf} がn+1となる場合を示す。 $N_{bf}=n$ とすると、遅延時間 T_{d-bf} との関係が最適になる距離l1は $n \cdot P_{bf}$ であり、 $N_{bf}=n+1$ の際、遅延時間 T_{d-bf} との関係が最適になる距離l3は $(n+1) \cdot P_{bf}$ である。また、段数 N_{bf} がnとn+1と

の境界にある値の場合、これに対応する距離l2は $\sqrt{n(n+1)} \times P_{bf}$ である。

【0032】表1は、信号伝播回路の遅延時間が最小になるサイズ及び挿入段数を求める各計算式を示す表である。上記のようにして、信号伝播回路にインバータを用いた場合も、同様に求められる。

10 【0033】

【表1】

インバータ 最適なサイズ(h_{inv})の計算方法	バッファ 最適なサイズ($h_{buf-out}$, h_{buf-in})の計算方法
$h_{inv} = \sqrt{\frac{a \cdot b_r \cdot R_{out0} \cdot C_{int}}{d \cdot R_{int} \cdot C_{in0}}}$	$h_{buf-out} = \sqrt{\frac{a \cdot m \cdot b_r \cdot R_{out0} \cdot C_{int}}{d \cdot R_{int} \cdot C_{in0}}}$ $h_{buf-in} = \sqrt{\frac{a \cdot b_r \cdot R_{out0} \cdot C_{int}}{d \cdot m \cdot R_{int} \cdot C_{in0}}}$
挿入段数(N_{inv})の決定方法	挿入段数(N_{bf})の決定方法
$P_{inv} = \sqrt{\frac{b \cdot R_{out0} \cdot (C_{in0} \cdot b_r \cdot C_{ds0})}{c \cdot R_{int} \cdot C_{int}}}$	$P_{bf} = \sqrt{\frac{b \cdot R_{out0} \cdot (C_{in0} \cdot (m + b_r / m) + 2 \cdot C_{ds0})}{c \cdot R_{int} \cdot C_{int}}}$ $n = (\varrho_{int} / P_{bf})$ 小数点以下切り下げ $\varrho_{int} / P_{bf} \leq \sqrt{n(n+1)}$ の場合 $N_{bf}=n$ $\varrho_{int} / P_{bf} > \sqrt{n(n+1)}$ の場合 $N_{bf}=n+1$

【0034】本発明の設計方法における計算式(1)の妥当性を以下のように確かめた。図6(a)及び(b)は、ローカル配線における遅延時間の式(1)及びS P I C E シュミレーションによる計算結果を示すグラフである。遅延時間の式(1)に求める遅延時間とシュミレーションによって求めた遅延時間とを対比している。同図(a)は拡大率 h_{b1} (=1.1, 3.25)であり、同図(b)は(a)に対し10倍相当の拡大率 h_{b1} (=1.13, 2.5)である。遅延係数は、 $a=0.85$ 、 $b=1.47$ 、 $c=0.37$ とし、好ましくは、 a は0.8~1.0、 b は1.1~1.5、 c は0.35~0.42、 d は0.8~1.0の範囲である。ローカル配線

40 50

は、 $500\mu m$ 程度の長さを有し、2つのインバータの一方の出力と他方の入力とに接続される。配線材料をA1にし温度を50度にして、各条件の基で計算されている。

【0035】実線はS P I C E 等のシュミレーションによる計算結果であり、点線は式(1)による計算結果である。シュミレーションによる計算結果において、上向きの三角形は、入力信号が立上りの場合を示し、下向きの三角形は、入力信号が立下りの場合を示す。ひし形は、両者の計算結果が異なるので、双方の計算結果を平均した値を示す。

【0036】式(1)とシミュレーションとの計算結果は、各条件において殆ど一致するので、ローカル配線において式(1)の正当性が証明される。

【0037】図7(a)及び(b)は、グローバル配線における遅延時間の式(1)及びS P I C E シミュレーションによる計算結果を示すグラフである。同図(a)は拡大率 h_{b1} (=11.325)であり、同図(b)は(a)に対し32倍相当の拡大率 h_{b1} (=362.4)である。

【0038】グローバル配線は、4000 μm程度の長さを有するものとしてあり、他の条件は図6の場合と同じである。式(1)とシミュレーションとの計算結果は、図6の場合と同様にグローバル配線において、式(1)の正当性が証明される。

【0039】上記により、式(1)から導かれた式(2)～式(8)を用いてサイズ及び挿入段数を求め、等間隔に配置した信号伝播回路が、最小の遅延時間を与えることが理解できる。

【0040】図6及び図7に示すように、同じ2点間の距離においてバッファサイズ h_{b1} の増加に伴い、遅延時間 T_d は小さくなる。しかし、 h_{b1} が大きすぎると、逆に T_d が大きくなる。この場合、従来の方法では、信号伝播回路に対して遅延が最小になるという絶対的な判断基準がないので、 h_{b1} を変化させながら何回もシミュレーションを実行し、シミュレーション結果を解析して h_{b1} を決定する必要があった。

【0041】これに対し、本発明は、表1に示すように式(1)から導かれた計算式を用いて、バッファのサイズ及び挿入段数を計算しそれらを等間隔に配置するので、信号伝播回路の回路構成が定まり、これに基づいてパラメータを決定できる。

【0042】以上、本発明をその好適な実施形態例に基づいて説明したが、本発明の信号伝播回路の設計方法は、上記実施形態例の構成にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施

10

20

30

した信号伝播回路の設計方法も、本発明の範囲に含まれる。

【0043】

【発明の効果】以上説明したように、本発明の信号伝播回路の設計方法では、信号伝播回路の遅延時間を、インバータ又はバッファのサイズ及び挿入段数を夫々、独立に決定するので、最適な回路構成が一意的に定まり、従って回路シミュレータを繰り返し使用することなく、遅延時間が最小となる最適な信号伝播回路の設計が容易にできる。

【図面の簡単な説明】

【図1】適当なバッファを複数段に配置した一般化された信号伝播回路の回路図である。

【図2】2つのインバータ間の信号伝播を解析するためのモデルとなる、単純化された信号伝播回路の等価回路図である。

【図3】最小サイズのインバータを説明するための図である。

【図4】2つのバッファ間の信号伝播を解析するためのモデルとなる、詳細な信号伝播回路の等価回路図である。

【図5】遅延時間 T_d-bt と距離 l_{int} との関係を示すグラフである。

【図6】同図(a)及び(b)は、ローカル配線における遅延時間の式(1)及びS P I C E シミュレーションによる計算結果を示すグラフである。

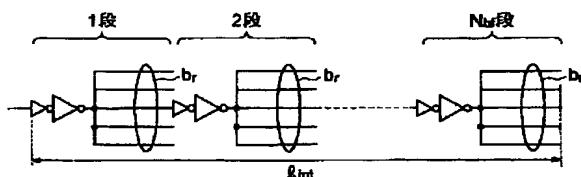
【図7】同図(a)及び(b)は、グローバル配線における遅延時間の式(1)及びS P I C E シミュレーションによる計算結果を示すグラフである。

【図8】従来行われている回路シミュレータを用いた信号伝播回路の設計手順を示すフローチャートである。

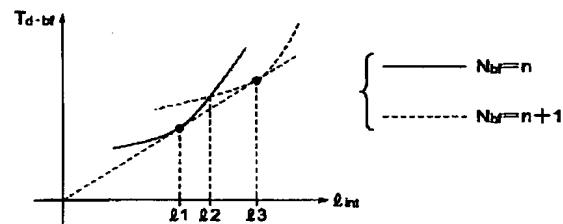
【符号の説明】

- 1 前段インバータ
- 2 後段インバータ
- 3 配線

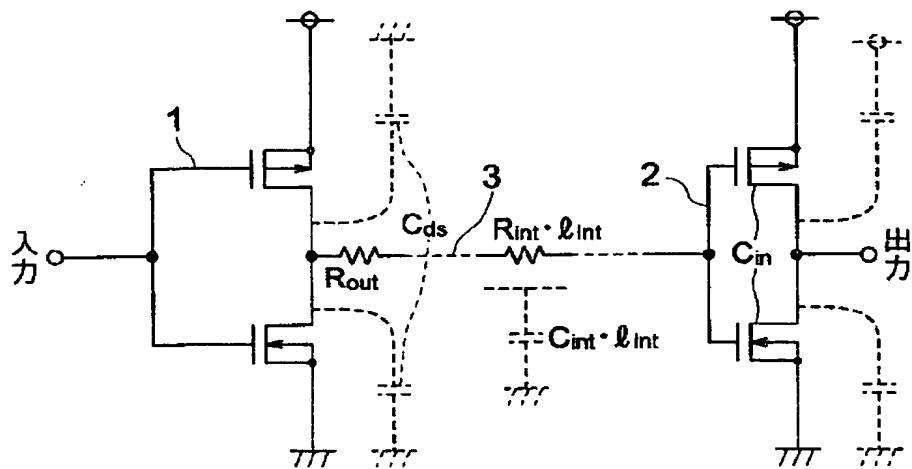
【図1】



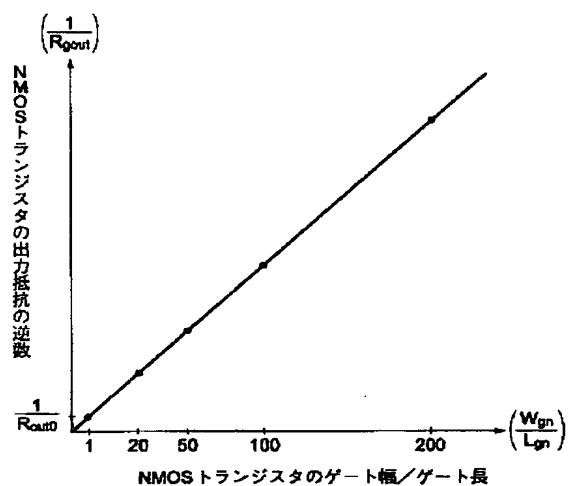
【図5】



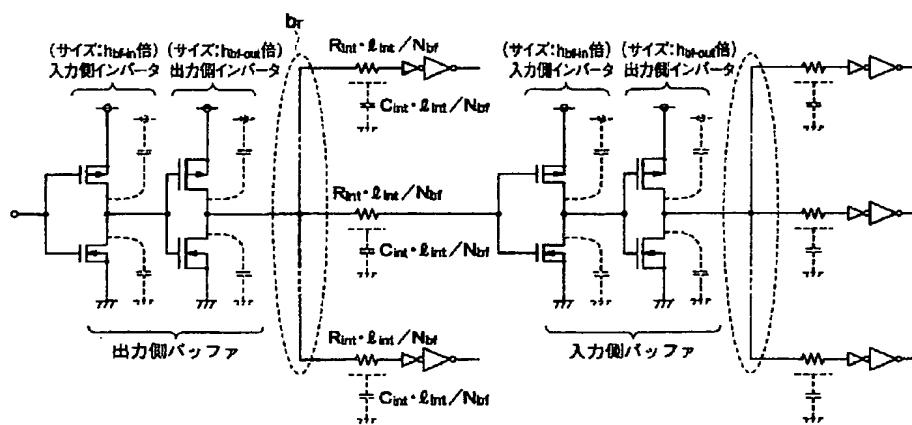
【図2】



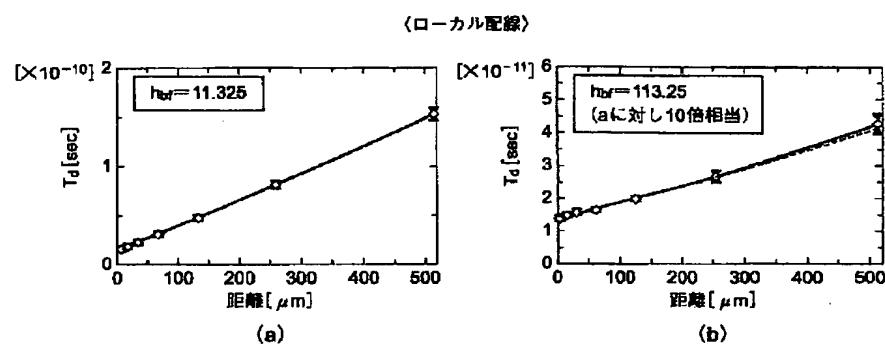
【図3】



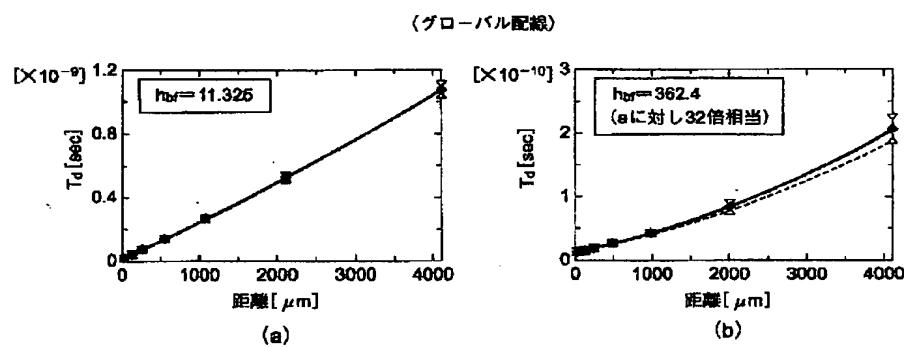
【図4】



【図6】



【図7】



【図8】

